

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP05/005674

International filing date: 28 March 2005 (28.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-095006  
Filing date: 29 March 2004 (29.03.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2004年 3月29日

出願番号 Application Number: 特願2004-095006

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

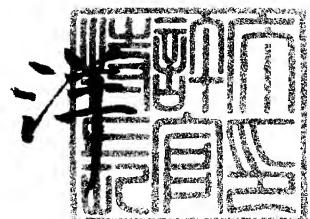
出願人 Applicant(s): ローム株式会社

J P 2004-095006

特許庁長官  
Commissioner,  
Japan Patent Office

2005年 4月20日

小川



【書類名】 特許願  
【整理番号】 PR03-00114  
【提出日】 平成16年 3月 29日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H05B 33/26  
【発明者】  
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内  
【氏名】 阿部 真一  
【発明者】  
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内  
【氏名】 前出 淳  
【発明者】  
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内  
【氏名】 藤沢 雅憲  
【特許出願人】  
【識別番号】 000116024  
【氏名又は名称】 ローム株式会社  
【代表者】 佐藤 研一郎  
【代理人】  
【識別番号】 100079555  
【弁理士】  
【氏名又は名称】 梶山 信是  
【電話番号】 03-5330-4649  
【選任した代理人】  
【識別番号】 100079957  
【弁理士】  
【氏名又は名称】 山本 富士男  
【電話番号】 03-5330-4649  
【手数料の表示】  
【予納台帳番号】 061207  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9711313

**【書類名】特許請求の範囲**

**【請求項 1】**

カレントミラー回路で構成されるD/A変換回路が所定の電流を入力端子に受けて表示データをD/A変換して有機ELパネルの端子ピンに出力する駆動電流を生成する有機EL駆動回路において、

前記カレントミラー回路の入力側トランジスタと前記入力端子との間に設けられた第1のトランジスタと、

前記カレントミラー回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、

前記出力端子と電源ラインとの間に設けられた第3のトランジスタとを有し、

前記入力側トランジスタと前記出力側トランジスタと前記第3のトランジスタが前記第1および第2のトランジスタよりも耐圧の低いトランジスタである有機EL駆動回路。

**【請求項 2】**

前記第3のトランジスタは、リセットスイッチとされ、前記入力側トランジスタと前記第1のトランジスタの接続点と、前記出力側トランジスタと前記第2のトランジスタの接続点とは、実質的に同じ電位になるように、前記第1および第2のトランジスタがバイアスされる請求項1記載の有機EL駆動回路。

**【請求項 3】**

前記入力側トランジスタと前記出力側トランジスタとは、電源ラインとグランドラインとの間で直列に接続された複数のトランジスタで構成され、前記出力側トランジスタは、前記入力側トランジスタに対して並列に複数個設けられ、そのそれぞれが前記出力端子に接続されている請求項2記載の有機EL駆動回路。

**【請求項 4】**

前記入力側トランジスタと前記出力側トランジスタとはスイッチ回路を構成するトランジスタをさらに直列に有し、前記入力側トランジスタのスイッチ回路を構成するトランジスタはON状態に設定され、前記出力側トランジスタのスイッチ回路を構成するトランジスタは、前記表示データを受けてON/OFFされる請求項3記載の有機EL駆動回路。

**【請求項 5】**

前記出力端子は、アクティブマトリックス型有機ELパネルのデータ線に接続される請求項4記載の有機EL駆動回路。

**【請求項 6】**

請求項1～5のいずれか1項記載の有機EL駆動回路を有する有機EL表示装置。

【書類名】明細書

【発明の名称】有機EL駆動回路および有機EL表示装置

【技術分野】

【0001】

この発明は、有機EL駆動回路および有機EL表示装置に関し、詳しくは、アクディブマトリックス型有機EL表示パネルにおけるピクセル回路のコンデンサを充電する電流駆動回路において、比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや輝度ばらつきを抑えることができるようD/A変換回路（以下D/A）を用いた有機EL駆動回路に関する。

【背景技術】

【0002】

従来の液晶表示装置では、デジタル信号をアナログ信号に変換するD/Aを設けてこのD/Aでデータ線を駆動する駆動回路が知られている。これをアクディブマトリックス型有機EL表示パネルにおけるピクセル回路に適用し、表示パネルに内蔵しようとした場合には小型化できないという問題がある点がすでに公知となっている（特許文献1）。

【特許文献1】特開2000-276108号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、このアクディブマトリックス型有機EL表示パネルを駆動する有機EL駆動回路を表示パネルの外部回路として設ければ、有機EL表示パネルを小型化することができる。この場合、駆動電流値の書込みは、通常、数百pFのピクセル回路のコンデンサを0.1μA～10μA程度の電流で充電する。しかし、その最小電流としては、1nA～30nA程度の精度の高い電流値が要求される。その電流の方向は、シンク型とソース型の2種類があって、電源電圧+V<sub>CC</sub>は、通常、10V～20V程度である。

電流シンク型では、ピクセル回路のコンデンサをリセットする電圧が電源電圧+V<sub>CC</sub>になる関係からD/Aを比較的高い耐圧の素子で構成することが必要になる。そのため、各素子の占有面積が大きくなり、D/A全体のICに対する占有面積が増加する問題がある。しかも、酸化膜の厚さのはらつきが影響してカレントミラー回路を用いたD/Aにすると、各素子のペア性や素子間のマッチング精度が低下して高い電流変換精度を確保できなくなる。

その結果、D/A変換特性にはらつきを生じて、それがカラムピン相互の出力電流のはらつきとなり、さらに表示画面の輝度むら、輝度ばらつきとなって現れてくる。

この発明の目的は、前記のような従来技術の問題点を解決するものであって、比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや輝度ばらつきを抑えることができるD/Aを用いた有機EL駆動回路および有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0004】

このような目的を達成するためのこの発明の有機EL駆動回路および有機EL表示装置の構成は、カレントミラー回路で構成されるD/Aが所定の電流を入力端子に受けて表示データをD/A変換して有機ELパネルの端子ピンに出力する駆動電流を生成する有機EL駆動回路において、

カレントミラー回路の入力側トランジスタと入力端子との間に設けられた第1のトランジスタと、カレントミラー回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、出力端子と電源ラインとの間に設けられた第3のトランジスタとを有していて、入力側トランジスタと出力側トランジスタと第3のトランジスタが第1および第2のトランジスタよりも耐圧の低いトランジスタになっているものである。

【発明の効果】

【0005】

この発明は、比較的耐圧の高いトランジスタをD/Aの入力側と出力側にそれぞれ1個づつ設けて、D/Aを構成する他のトランジスタを耐圧の低いトランジスタで構成し、さらに、D/Aの出力側に設けられるリセットスイッチ等の第3のトランジスタも耐圧の低いトランジスタとして設けるものである。これにより、比較的高い耐圧の素子は、D/Aの入力側と出力側だけの2個所で済み、比較的高い耐圧の素子の数を低減することができる。

これによりD/A全体のICに対する占有面積を低減することができ、D/Aを構成するトランジスタを耐圧の低いトランジスタにすることで、D/A変換精度を向上させて、出力電流のはらつきを抑えることができる。

その結果、比較的高い耐圧の素子の数を低減することができ、出力段電流源にD/Aを用いた有機EL駆動回路等において、その回路規模の増加を抑えることができる。

#### 【発明を実施するための最良の形態】

##### 【0006】

図1は、この発明の有機EL駆動回路を適用した一実施例のアクティブマトリックス型有機ELパネルにおける有機EL駆動回路のブロック図、図2は、そのセル回路の回路構成の説明図である。

図1において、10は、有機EL駆動回路のカラムドライバであって、11は、そのD/A、12は、基準駆動電流Irを発生する定電流源、13、14は、定電圧バイアス回路、15は、コントロール回路、16は表示データを記憶するレジスタ、そして17はMPUである。

D/A11は、入力側トランジスタセル回路TNaと出力側トランジスタセル回路TNb～TNnによるカレントミラー回路で構成される。

##### 【0007】

各トランジスタセル回路TNa～TNnは、ドレイン端子Dとゲート端子G1、G2、入力端子Din、そしてソース端子Sとを有する図2に示すNチャネルトランジスタT1～T3が電源ラインとグランドラインとの間で縦方向に直列に接続されたトランジスタセル回路1により構成されている。

それぞれのセル回路1のソース端子Sは、グランドGNDに接続されている。トランジスタセル回路TNaの入力端子Dinは、バイアスラインVaに接続されてON状態にされている。各トランジスタセル回路TNb～TNnの各入力端子Dinは、表示レジスタ16から表示データD0～Dn-1をそれぞれ受け、各トランジスタセル回路TNb～TNnのスイッチ回路SWは、表示データD0～Dn-1に応じてそのON/OFFされる。表示データD0～Dn-1は、コントロール回路15のラッチパルスLPに応じてMPU17からレジスタ16にセットされる。

##### 【0008】

各トランジスタセル回路TNa～TNnのゲート端子G1、G2はそれぞれが共通に接続され、さらに、トランジスタセル回路TNaのセル回路1のゲート端子G2がD/A11の入力端子11aに接続されている。また、トランジスタセル回路TNaのセル回路1のドレイン端子Dは、Nチャネルの比較的耐圧の高いトランジスタQ1のソースードレインを介してD/A11の入力端子11aに接続されている。これにより、トランジスタセル回路TNaのセル回路1のトランジスタT2がダイオード接続されて、このトランジスタT2がカレントミラー回路の入力側トランジスタとなって、定電流源12から駆動電流Irを受ける。

定電流源12は、バイアスラインVbに接続され、基準電流分配回路の出力電流源に対応している。基準電流分配回路は、カレントミラー回路で構成される入力側トランジスタが基準電流を受けて、ピン対応に並列に設けられた多数の出力側トランジスタにミラー電流として基準電流を生成し、カラムピン対応に分配する回路である。

##### 【0009】

各トランジスタセル回路TNb～TNnのドレイン端子Dは、D/A11の出力端子11bにNチャネルの比較的耐圧の高いトランジスタQ2のソースードレインを介して接続されている。この出力端子11bは出力ピン10aに接続され、出力ピン10aと電源ライン

$+V_{CC}$ との間にはリセットスイッチ回路2が設けられている。リセットスイッチ回路2は、PチャネルのトランジスタTPaからなり、そのソースが電源ライン $+V_{CC}$ に接続され、そのドレインが出力ピン10aに接続されている。電源ライン $+V_{CC}$ の電圧は、10V～20V程度である。

トランジスタTPaのゲートは、コントロール回路15からリセット信号RSを受け、各トランジスタセル回路TNa～TNnの共通に接続されたゲート端子G1は、定電圧バイアス回路13に接続されている。定電圧バイアス回路13により設定されるゲート電圧V<sub>GL</sub>でセル回路1の上流側のトランジスタT1が所定の抵抗値を以てON状態に設定される。

#### 【0010】

トランジスタQ1とトランジスタQ2のゲートは共通に接続されて、定電圧バイアス回路14に接続されて、これにより設定されるゲート電圧V<sub>GH</sub>で所定の抵抗値を以てON状態に設定される。

このようにトランジスタQ1を入力側に、そしてトランジスタQ2を出力側に配置して、ここで、比較的大きな降下電圧を発生させることで、トランジスタTPaと各トランジスタセル回路TNa～TNnの動作電圧を下げることができる。

さらに、トランジスタQ1とトランジスタQ2のゲートが定電圧バイアス回路14に接続されることで、各トランジスタセル回路TNa～TNnのドレイン端子Dの電圧を実質的に等しい値に設定することができる。これらにより、D/Aの占有面積を低減し、かつ、D/A変換精度を向上させることができる。

その結果、D/Aの変換特性のばらつきが減少してカラムピン相互の出力電流のばらつきが低減され、それにより表示画面の輝度むら、輝度ばらつきを抑えることができる。

ところで、各トランジスタセル回路に対応して示す、 $\times 1$ ,  $\times 2$ ,  $\times 4 \dots$ の数字は、パラレルに接続されたセル回路1の数を示している。 $\times 1$ の場合にパラレル接続はない。このセル回路数に応じて出力側トランジスタセル回路TNb～TNnは、それぞれの出力に桁重みが付けられている。

#### 【0011】

さて、D/A11の各トランジスタセル回路TNa～TNnを構成するセル回路1は、図2に示すように、ソースドレインと順次電源ライン $+V_{CC}$ とグランドラインGNDとの間に縦に積上げられて接続された3個のNチャネルのトランジストTr1～Tr3とからなる。トランジストTr3はスイッチ回路回路2を構成し、そのソースはソース端子Sに接続されている。トランジストTr1のドレインはドレイン端子Dに接続されている。

トランジスタTr2のゲートはゲート端子G1に接続され、トランジスタTr3のゲートはゲート端子G2に接続されている。

なお、トランジスタTr1～Tr3のバックゲートは、共通にソース端子Sに接続されている。

#### 【0012】

3は、ピクセル回路（表示セル）であって、有機ELパネルの表示画素対応に設けられていて、データ線X、接続端子3aを介して出力ピン10aに接続されている。ピクセル回路3は、X, Yのマトリックス配線（データ線X, 走査線Y1, Y2…）の交点に対応して設けられている。このピクセル回路3内には各データ線Xと各走査線Yとの各交点にドレイン側とゲートが接続されたPチャネルMOSトランジスタTP1, TP2が配置されている。OEL素子4は、ピクセル回路3に設けられたPチャネルMOSの駆動トランジスタTP3, TP4により駆動される。トランジスタTP3のソース～ゲート間にコンデンサCが接続されている。

トランジスタTP1のソースは、トランジスタTP3のゲートに接続され、トランジスタTP2のソースは、トランジスタTP3のドレインに接続されている。これによりこれらトランジスタTP1, TP2がONしたときにはトランジスタTP3のゲートとドレインとがダイオード接続されて、駆動電流がトランジスタTP3に流されて駆動電流に対応した電圧値がコンデンサCに高い精度で記憶される。

トランジスタTP3のソースは、電源ライン $+V_{CC}$ に接続され、そのドレイン側は、トラ

ンジスタTP4のソースードレインを介してOEL素子4の陽極に接続されている。

OEL素子4の陰極は、ロー側走査回路7のスイッチ回路7aに接続され、このスイッチ回路7aを介してグランドGNDに接続されている。

トランジスタTP1, TP2のゲートは、走査線Y1(書込線)を介して書込制御回路5に接続され、書込制御回路5によりそれが走査されて走査線Y1がLOWレベル(以下“L”)になることでトランジスタTP1, TP2がONになる。これにより電源ライン+VccからトランジスタTP3、コンデンサC、トランジスタTP1, TP2、データ線X、端子3a、出力ピン10aを経てD/A11がシンクする所定の駆動電流が流れ、コンデンサCには駆動電流値に対応する電圧値が書き込まれ、記憶される。そして、走査線Y1がHIGHレベル(以下“H”)になり、トランジスタTP1, TP2がOFFになる。

トランジスタTP4のゲートは、走査線Y2を介して書込制御回路5に接続され、書込制御回路5によりそれが走査されてこれら走査線Y2(駆動線)が“L”になることでトランジスタT4がONになる。これによりトランジスタTP3, TP4がON状態に維持され、OEL素子4の陽極に駆動電流が供給される。なお、このときには、走査線Y1は“H”になっていて、トランジスタTP1, TP2はOFFである。

トランジスタTP3, TP4の駆動終了時点で、走査線Y2が“H”になり、トランジスタTP4がOFFし、そのタイミングで走査線Y1が“L”になり、これによりONしたトランジスタTP1, TP2と、リセット信号RSによりONしたトランジスタTPaとによりコンデンサCの電圧がリセットされる。

#### 【産業上の利用可能性】

##### 【0013】

以上説明してきたが、実施例では、出力段電流源にD/Aを用いているが、カレントミラー回路等の出力段電流源をさらに設けて、D/Aの出力電流でこの出力段電流源を電流駆動するようにしてもよい。このような場合、リセットスイッチとなるトランジスタTPaは、他のトランジスタであってもよい。

また、実施例では、アクディブマトリックス型有機EL表示パネルにおける駆動回路を例としているが、パッシブマトリックス型有機EL表示パネルの駆動回路にも適用できることはもちろんである。

さらに、実施例では、NチャネルMOSトランジスタを主体としたD/Aを示しているが、このD/Aは、PチャネルMOSトランジスタあるいはこれとNチャネルMOSトランジスタとを組み合わせた回路であってもよいことはもちろんである。

実施例では、MOSトランジスタを用いているが、MOSトランジスタに換えてバイポーラトランジスタを用いてもよいことはもちろんである。

#### 【図面の簡単な説明】

##### 【0014】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例のアクディブマトリックス型有機ELパネルにおける有機EL駆動回路のブロック図である。

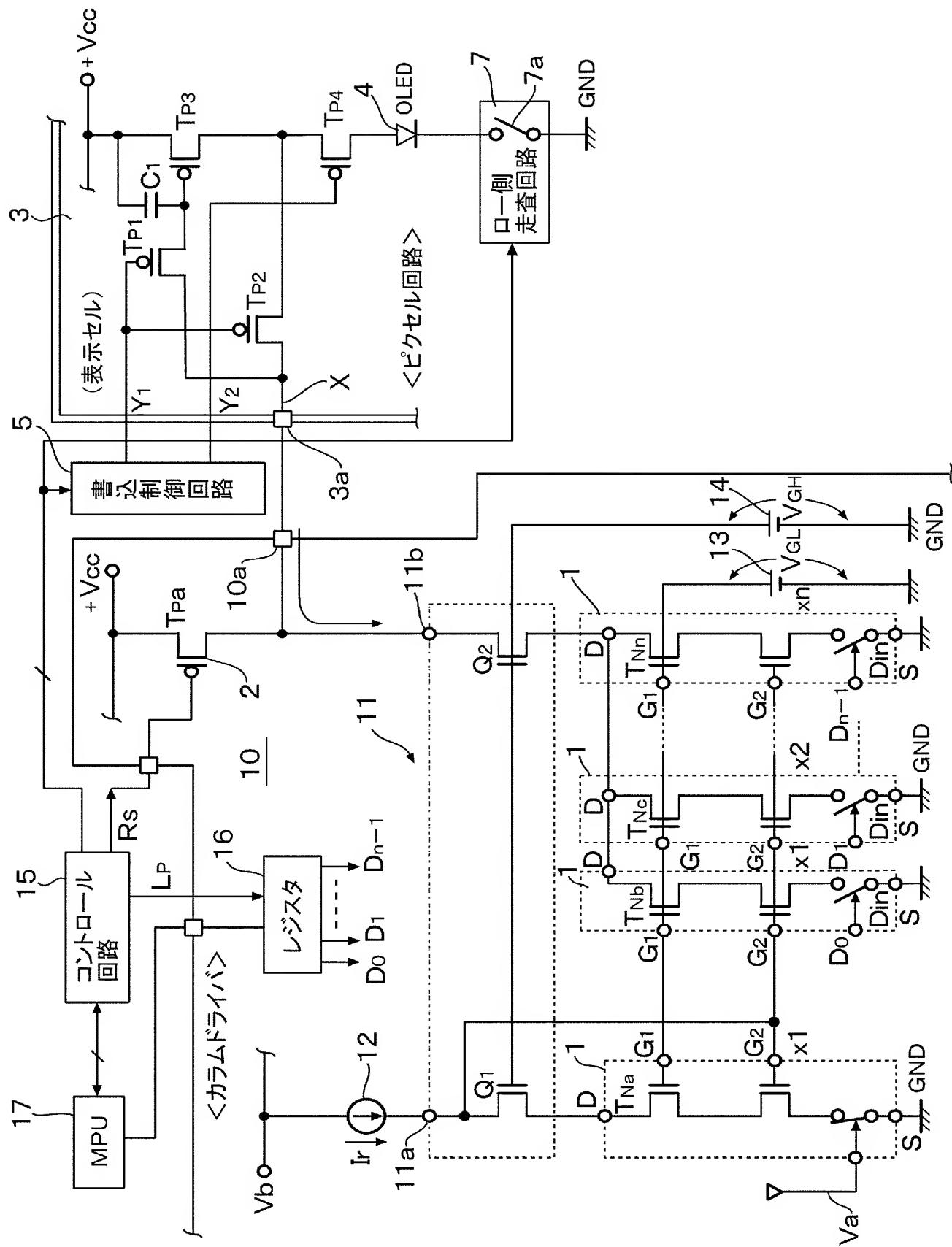
【図2】図2は、そのセル回路の回路構成の説明図である。

#### 【符号の説明】

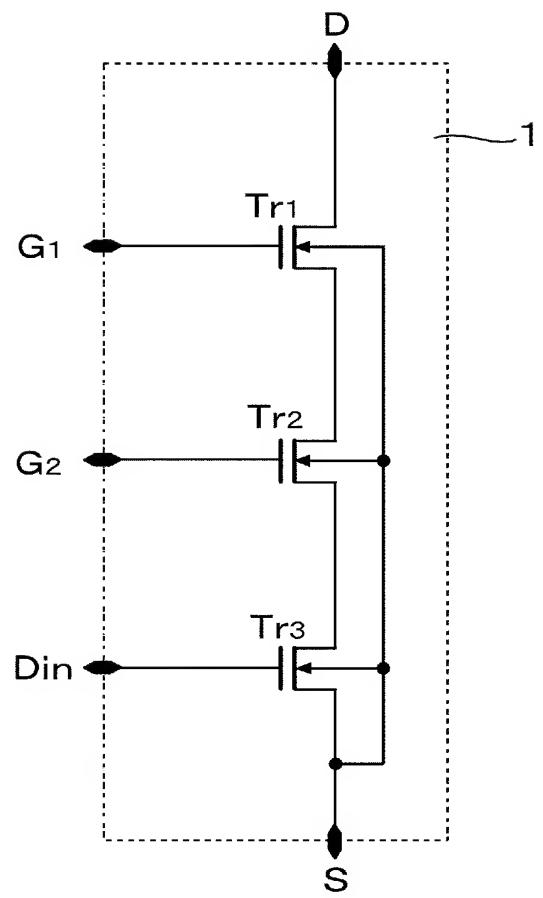
##### 【0015】

- 1 … トランジスタセル回路、
- 2 … リセットスイッチ回路、3 … ピクセル回路(表示セル)、
- 4 … 有機EL素子(OEL素子)、5 … 書込制御回路、
- 7 … ロー側走査回路、7a … スイッチ回路、
- 10 … カラムドライバ、
- 10a … 出力ピン、11 … D/A、
- 12 … 定電流源、13, 14 … 定電圧バイアス回路、
- 15 … コントロール回路、16 … レジスタ、
- 17 … MPU、
- Q1~Q3 … MOSトランジスタ、

$T_{r1} \sim T_{r7}$ …MOSトランジスタ、  
 $T_{Na} \sim TN_{n-1}$ …MOSトランジスタ。



【図 2】



**【書類名】**要約書

**【要約】**

**【課題】**

比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや輝度ばらつきを抑えることができるD/Aを用いた有機EL駆動回路および有機EL表示装置を提供することにある。

**【解決手段】**

この発明は、D/Aを構成するカレントミラー回路の入力側トランジスタと入力端子との間に設けられた第1のトランジスタと、カレントミラー回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、出力端子と電源ラインとの間に設けられた第3のトランジスタとを有していて、入力側トランジスタと出力側トランジスタと第3のトランジスタが第1および第2のトランジスタよりも耐圧の低いトランジスタになっているものである。

**【選択図】**

図1

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町21番地  
ローム株式会社